

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PRODUCTION OF DISPLAY PANEL

Patent Number: JP2223924

Publication date: 1990-09-06

Inventor(s): OWADA JUNICHI; others: 02

Applicant(s): HITACHI LTD

Requested Patent: JP2223924

Application Number: JP19890043004 19890227

Priority Number(s):

IPC Classification: G02F1/1343 ; G02F1/136 ; H01B13/00 ; H01L21/3205 ; H01L29/784

Abstract

PURPOSE: To obtain the constitution of an electrode wiring having low resistance in a simple process by selectively impressing voltage on a conductor having comparatively high resistance so that plating, etc., is carried out and making the resistance of the conductor low.

CONSTITUTION: Patterning is performed to a 1st conductive thin film 2 so as to form a part isolated like an island and a part linked with each other. Then, voltage is impressed on a part which is necessary to make the resistance low and a 2nd conductive layer 3 is partially laminated by the technique of electrolytic plating or electrodeposition, etc. In case of using ITO(Indium Tin Oxide) as the 1st conductive thin film, it is sufficient to perform the etching process of the ITO once by laminating the 2nd conductive layer only on a wiring part between the electrode for displaying and the wiring part of the display. Since the parts having different resistance are formed by performing the patterning once, a producing process is simplified and the production of a large area panel is facilitated.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑪ 公開特許公報 (A) 平2-223924

⑪ Int. Cl.⁵
 G 02 F 1/1343
 1/136
 H 01 B 13/00
 H 01 L 21/3205
 29/784

識別記号 序内整理番号
 500 7370-2H
 HCB Z 7370-2H
 7364-5G

⑪ 公開 平成2年(1990)9月6日

6810-5F H 01 L 21/88
 8624-5F 29/78

311 Q
 A

審査請求 未請求 請求項の数 4 (全3頁)

⑫ 発明の名称 表示パネルの製造方法

⑬ 特 願 平1-43004

⑭ 出 願 平1(1989)2月27日

⑮ 発明者 大和田 淳一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑯ 発明者 三上 佳朗 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発明者 長江 駿治 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代理人 弁理士 小川 勝男 外2名

明細書

1. 発明の名称

表示パネルの製造方法

2. 特許請求の範囲

1. ガラス基板上に TFT と液晶とを積層してなるアクティブマトリクス液晶ディスプレイにおいて、第1の導電性薄膜の一端を電界を印加しながら、第2の導体層を積層した構造の電極配線を用いたことを特徴とした表示パネルの製造方法。

2. 特許請求の範囲第1項において、第1の導電性薄膜として ITO (Indium Tin Oxide) を用いたことを特徴とする表示パネルの形成法。

3. 特許請求の範囲第1項において、第1の導電性薄膜としてシリコンを用い、第2の導体層として金属を用い、積層後に熱処理によりシリコン合金（シリサイド）としたことを特徴とする表示パネルの製造方法。

4. 特許請求の範囲第3項において、第2の導体層として、白金、ニッケル、モリブデン、タン

グステンのいずれかを用いたことを特徴とする表示パネルの製造方法。

3. 発明の詳細な説明

【発明の利用分野】

本発明は液晶を用いた平面型ディスプレイパネルの形成法に係り、詳しくは低抵抗電極配線の形成方法に関する。

【従来の技術】

ガラス等の透明基板上に導体トランジスタ（TFT）等のスイッチ素子を形成し、液晶等の電気光学物質と積層してなる、いわゆる、アクティブマトリクスディスプレイは、大面积・高精細化に適したディスプレイとして、アイ・イー・イー・イー、プロシーディング59(1971)第1566頁(Proceedings of IEEE, 59, p 1566 (1971)に提案されて以来、近年特に非晶質シリコン（a-Si）を用いたTFTや多結晶シリコン（p-Si）を用いたTFTが盛んに研究開発されている。この方式により、対角寸法が10インチ以上のディスプレイまで開発さ

れている。

大面積化を考慮した場合には、製造プロセスの簡略化により、欠陥発生確立を小さく抑え、パネルの歩留り向上が必要となる。また、パネルの特性から見た場合には、配線における電圧の遅延の影響が大きくなるため、配線抵抗の低減が必要となる。

〔発明が解決しようとする課題〕

この問題に対しては従来の構造では金属薄膜により電極を形成していたが、このためには、蒸着、スパッタ等の膜形成工程とその膜の加工工程とが必要となり、製造プロセスの簡略化に対して問題があつた。

本発明の目的は簡単なプロセスで抵抗の電極配線構造を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明では、バーニングした比較的抵抗の高い導体上に、選択的に電圧を印加することにより、メッシュ等を行い、低抵抗化するようにしたものである。

を容易に形成できる。

第3図は第2図の変形例である。すなわち、第2の導体層をメッシュで形成するかわりに、印刷法により導体あるいは導体を分散した形成物8を部分的に塗布して、熱処理により、シリサイドあるいは高濃度のドーピングされたシリコン薄膜層を形成し、最後に第2の導体層8を除去する方法である。この方法によると、メッシュ等で電界を印加するためのパターンの制約がなくなり、製造工程が簡略化される。また第2の導体層8のパターン精度はそれほど精密でなくとも良いという利点もある。

〔発明の効果〕

本発明によれば、一回のバーニングで抵抗の異なる部分が形成できるので製造プロセスが簡略化され、大面積パネルの製造が容易になるという効果がある。

4. 四面の簡単な説明

第1図は、本発明の一実施例を示す平面図および断面図、第2図は、本発明の変形例を示す断面

〔実施例〕

以下、本発明の一実施例を第1図により説明する。まず、第1の導電性薄膜2をバーニングし、島状に分離された部分と互いに連結した部分とを形成する。次に、低抵抗化が必要な部分に電圧を印加し、電解メッシュや電着等の手法により、第2の導体層を部分的に積層する。たとえば、第1の導電性薄膜としてITO (Indium Tin Oxide) を用いれば、ディスプレイの表示用電極と配線部とで、配線部のみに第2の導体層を積層することにより、TIOのエッチング工程を1回だけで済ませることができる。

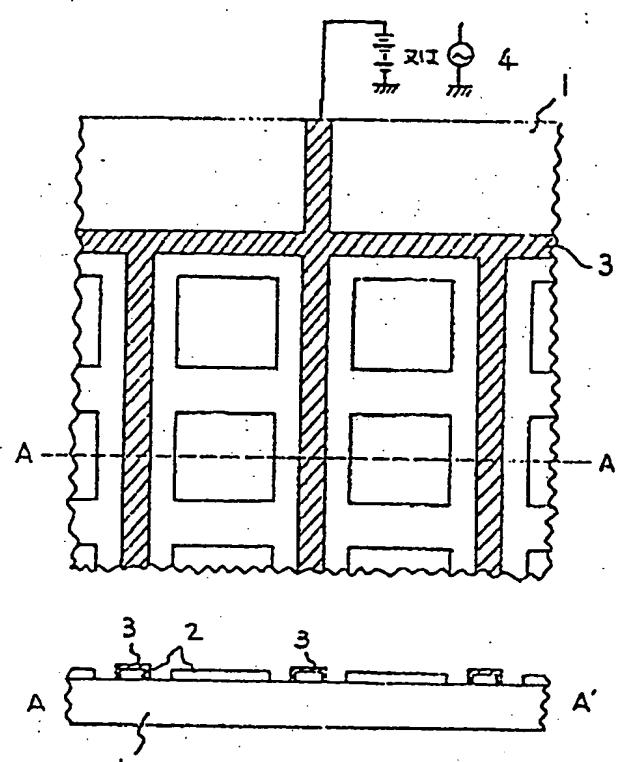
第2図は第1図の実施例の変形例である。(a) まずガラス基板上に第1の導電性薄膜としてシリコン薄膜5を形成する。(b) 次に第2の導体層として金属薄膜6をメッシュ等で積層する。(c) 热処理等によりシリコンと金属薄膜の合金(シリサイド)7を形成する。(d) 余分な第2の導体層を除去する。

この方法により、部分的にシリサイド等の合金

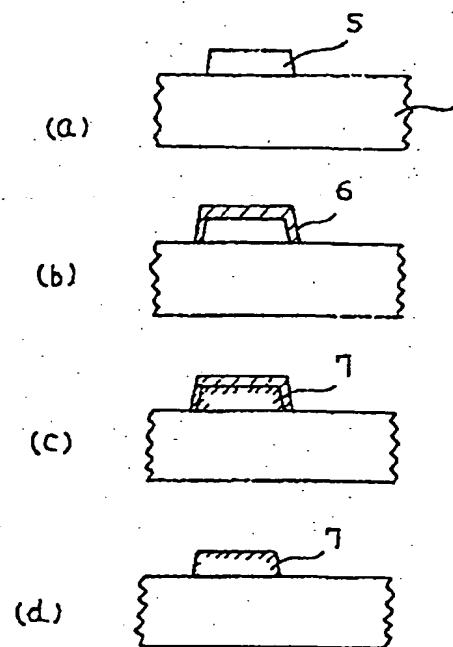
図、第3図は本発明のさらに他の変形例を示す図である。

代理人弁理士 小川勝男

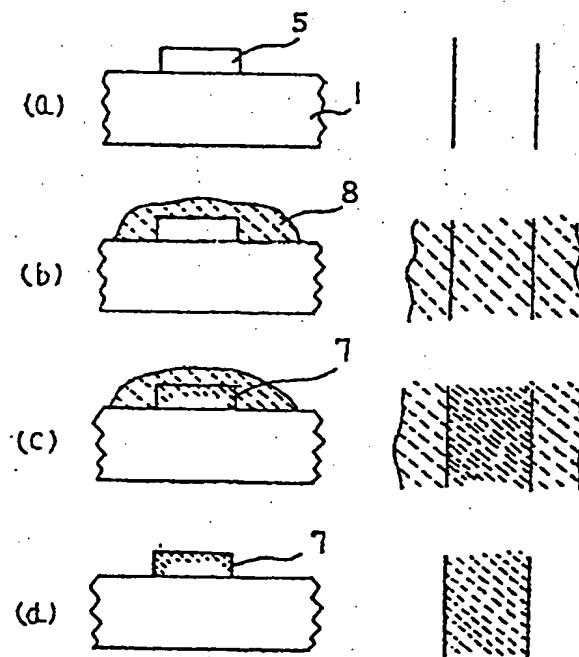
第1図



第2図



第3図



THIS PAGE BLANK (USPTO)